

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-028610

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

H04L 27/22

H04N 5/44

(21)Application number : 11-200597

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 14.07.1999

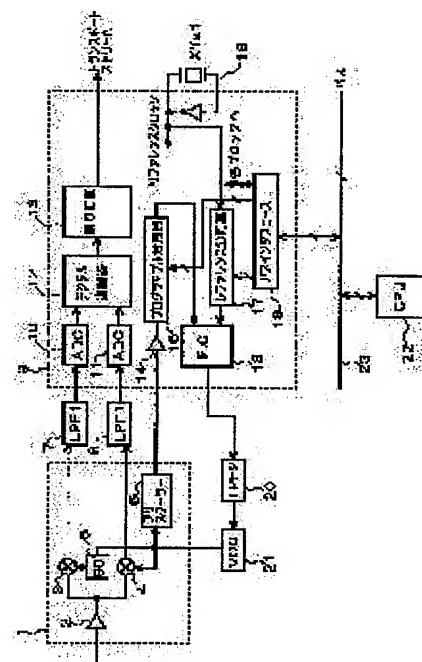
(72)Inventor : YOSHIE KAZUAKI

(54) DEMODULATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a front end section of a television receiver where the IC chip configuration is reduced.

SOLUTION: An orthogonal detection IC 1 that applies quasi synchronous detection to a digital television signal by using a local oscillation signal has a prescaler 6 that frequency-divides a frequency of the local oscillation signal from a giga Hz band into a mega Hz band and other PLL circuits than the prescaler 6, an LPF 10 and a VCO 21 are integrated in a digital demodulation IC 9. Since the prescaler 6 requires an operation for an ultrahigh frequency band, the prescaler 6 is integrated in the orthogonal detection IC 1 that is integrated by bipolar technology, and since the other circuits are in operation for the mega Hz band, they are integrated in the digital demodulation IC 9 that is integrated by the MOS technology.



LEGAL STATUS

[Date of request for examination] 03.12.2001

[Date of sending the examiner's decision of rejection] 02.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 少なくとも、局部発振信号に基づき入力変調信号から直交関係にあるベースバンド信号に準同期検波する準同期検波回路を有する第1ICと、少なくとも準同期検波信号をデジタル復調するデジタル復調回路を有する第2ICとを含む復調回路において、前記局部発振信号を出力するPLLのうち、高周波信号処理部を前記第1IC上に集積化し、前記PLLのうち、動作周波数が前記高周波信号処理部より動作周波数の低い信号処理部を前記第2IC上に集積化することを特徴とする復調回路。

【請求項2】 前記高周波処理部は、局部発振信号を分周するプリスケラであることを特徴とする請求項1記載の復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルテレビジョン放送などの直交位相関係にあるベースバンドを復調する復調回路に関する。

【0002】

【従来の技術】 近年、テレビジョン放送信号をデジタル信号で供給する技術が実用化され、商業的にもデジタルテレビジョン放送が開始されている。デジタルテレビジョン放送には、衛星を使ってデジタルテレビジョン信号を送るものと、地上波でデジタルテレビジョン放送を送るものと2種類がある。そのうち、衛星デジタルテレビジョン放送について説明する。

【0003】 図3は衛星デジタル放送受信機において受信される1フレーム分のデジタルデータの構成を示す図である。デジタルデータは、1フレームに39936シンボルを含む。ここで、シンボルとは、1クロックに同期して受信される信号をいう。1フレームの先頭部分は、TMCC信号（伝送多重制御信号）と同期ワード信号とで構成される。TMCC信号は、スロット信号や伝送方式に関する制御情報を伝送する。同期ワード信号のシンボル数は、合計40シンボルである。TMCC信号及び同期ワード信号の総シンボル数は192であり、BPSK（Binary PSK）変調信号として伝送される。

【0004】 TMCC信号及び同期ワード信号に続いて、データ（映像部分、音声部分等）と、キャリアクロック用バースト信号とが交互に配置される。各データのシンボル数は203であり、各キャリアクロック用バースト信号のシンボル数は4シンボルである。キャリアクロック用バースト信号はBPSK変調信号である。

【0005】 203シンボルから成るデータ部分と4シンボルから成るキャリアクロック用バースト信号部分とを1セットとして、連続する合計4セット（（203+4）×4シンボル）を1スロットと呼ぶ。

【0006】 スロットのそれぞれは、各種の変調方式で変調されている。周波数引き込み後、同期ワードを検出

し、フレーム同期を取ってからTMCC信号の内容を復調することにより、どのような変調方式のデータがどのような順番で送られてくるかが認識される。変調方式としては、8PSK、QPSK（QPSK：QuadraturePSK）やBPSK等が挙げられる。

【0007】 次に、衛星デジタル放送受信機の構成について図4に示す。衛星から送られたデジタルテレビジョン信号は、チューナー61において、同期検波されると共に周波数のダウンコンバートされる。チューナー61から得られるI及びQ信号は直交位相復調回路62で復調され、I及びQのベースバンドが生成される。その後、PSK復調回路63でI及びQのベースバンドに応じて各種のPSK復調が行われ、誤り訂正回路64でPSK復調信号の誤り訂正が行われる。誤り訂正されたPSK復調信号は、信号処理回路65でMPEG1やMPEG2方式によって動画データや音声データに復号化される。

【0008】 図2に、衛星デジタル放送受信機の構成のうち、フロントエンド部をICで構成した場合のブロック図である。直交検波IC201において、ギガヘルツ帯のデジタルテレビジョン信号は、VCO（電圧制御型発振器）202からの局部発振信号によってダウンコンバートされると共に、I及びQベースバンド信号に準同期検波される。I及びQベースバンド信号はデジタル復調IC203に入力される。デジタル復調IC203においては、I及びQベースバンド信号のベクトルを補正するようにデジタル復調を行ったり、補正されたI及びQベースバンド信号に対して誤り検出及び訂正を行う。VCO202の発振周波数はPLL-IC204によって制御され、PLL-IC204はCPU206からバス205を介して入力されてくる分周データに基づいてVCO202の発振周波数を制御しているのである。直交検波ICにおいては、ギガヘルツ帯のデジタルテレビジョン信号をダウンコンバートするが、局部発振信号によって希望のデジタルテレビジョン信号を所定の周波数信号に周波数変換する役割も有している。尚、図2においては、バス205はデジタル復調IC203にも接続されており、デジタル復調IC203とCPU206との間で復調データ及び復調制御データのやり取りが行われる。

【0009】

【発明が解決しようとする課題】 ところで、衛星用デジタル放送用受信機のフロントエンド部は、ギガヘルツ帯の高周波信号を扱うため、フロントエンド部の回路や信号ラインから不要輻射が発生する。そこで、不要輻射の影響を抑えるため、一般にフロントエンド部は金属製のシールドで覆い、不要輻射が外部へ漏れないようにしていた。

【0010】 しかし、従来では、直交検波IC1、デジタル復調IC3及びPLL-IC4の3チップ構成であ

ったため、シールドユニットを小型化することができなかった。

【0011】

【課題を解決するための手段】本発明によれば、少なくとも、局部発振信号に基づき入力変調信号から直交関係にあるベースバンド信号に準同期検波する準同期検波回路を有する第1ICと、少なくとも準同期検波信号をデジタル復調するデジタル復調回路を有する第2ICを含む復調回路において、前記局部発振信号を出力するPLLのうち、高周波信号処理部を前記第1IC上に集積化し、前記PLLのうち、動作周波数が前記高周波信号処理部より動作周波数の低い信号処理部を前記第2IC上に集積化することを特徴とする。

【0012】特に、前記高周波処理部は、局部発振信号を分周するプリスケアラであることを特徴とする。

【0013】本発明によれば、PLLの高周波処理部を第1ICに、PLLの他の部分を第2ICに分けて配置したことにより、ICの数を削減することができる。

【0014】

【発明の実施の形態】図1は本発明の実施の形態を示す図である。1は直交検波ICであり、少なくとも、直交検波IC1内には、受信デジタル変調信号を増幅する増幅器2と、増幅器2の出力信号をダウンコンバートしかつ準同期検波する乗算器3及び4と、乗算器3及び4に直交関係にある局部発振信号を印加させるための移相器5と、局部発振信号を分周するプリスケアラ6を含む。乗算器3及び4の出力信号はLPF7及び8に印加され、不要な信号成分が除去される。

【0015】また、9はデジタル復調ICであり、少なくとも、LPF7及び8の出力信号をデジタル変換するAD変換器10及び11と、AD変換器10及び11の出力信号をデジタル処理するデジタル復調器12と、デジタル復調回路12の出力データに対して誤り検出訂正を行う誤り検出訂正器13と、プリスケアラ6の出力信号を増幅する増幅器14と、増幅器14の出力信号を分周するプログラマブル分周器15と、リファレンスクロックを生成する基準発振器16と、リファレンスクロックを分周するリファレンス分周器17と、プログラマブル分周器15及びリファレンス分周器17の出力信号を位相比較する位相比較器18と、外部回路から転送されるバスインターフェース19とを有する。

【0016】さらに、位相比較器18の出力信号を平滑して制御信号を生成するLPF20と、前記制御信号に応じて発振周波数が可変されるVCO21とが、直交検波IC1とデジタル復調IC9の外に接続されている。

【0017】本発明の特徴は、PLLを直交検波IC1とデジタル復調IC9とに分けて配置したこととあり、PLLのうち例えばギガヘルツ帯の超高周波信号を扱うプリスケアラ6を直交検波IC1に配置させ、超高周波帯よりも低い周波数の信号を扱う他の回路はデジタル復

調IC7に配置させている。図1の場合、直交検波IC1はパイポーラ技術によって集積化されており、一般にパイポーラ技術は超高周波信号処理に優れている。また、デジタル復調IC7はベースバンド以降の信号処理となるため、直交検波IC1より高速のトランジスタは必要なくなる。その為、超高周波信号処理が可能なパイポーラ技術は必ずしも必要なく、MOS技術でデジタル復調ICは集積化される。特に、ベースバンド以降の信号処理ではトランジスタの動作スピードより回路の小型化が優先されるので、微細化に優れたMOS技術が選択される。

【0018】このように、トランジスタの動作スピード及び微細化に応じて、PLLを構成している回路を、それぞれの回路の特性に応じて配置させることが可能となる。

【0019】図1において、VCO21の局部発振信号は、直交検波IC1内の乗算器4に印加されるとともに、その位相が移相器5で90度移相された後に乗算器3に印加される。一方、局部発振信号は直交検波IC1内のプリスケアラ6でギガヘルツ帯の超高周波信号からMOSトランジスタの動作可能な周波数（数十～数百メガヘルツ帯）に分周される。局部発振信号の周波数は超高周波帯に含まれるため、プリスケアラ6は超高周波信号で動作することが必要になる。直交検波IC1はギガヘルツ帯の信号を処理でき、従ってプリスケアラ6は周波数の高い局部発振信号を正確に分周することができる。

【0020】プリスケアラ6の出力信号は、直交検波IC1から出力され、デジタル復調IC9に入力され、増幅器14で増幅される。増幅器14の出力信号はプログラマブル分周器15で分周され、さらに位相比較器18において、プログラマブル分周器15の出力信号がリファレンス分周器17からの基準信号と位相比較される。位相比較結果に応じた出力信号がデジタル復調IC9から出力され、LPF19で制御信号に平滑され、制御信号によりVCO21の発振周波数が制御される。

【0021】また、乗算器3及び4においては、準同期検波が実行され、I及びQベースバンド信号が得られる。また、乗算器3及び4においては、ギガヘルツ帯からギガヘルツ帯より低い周波数帯域の信号にダウンコンバートされる。さらに、局部発振信号周波数を制御することにより、希望チャンネルの周波数が所定周波数のI及びQベースバンド信号に周波数変換される。I及びQベースバンド信号は、直交検波IC1から出力される。

【0022】局部発振周波数の設定はプログラマブル分周器15の分周比を変更することによって制御される。その分周データは、CPU22からバス23を介してバスインターフェース19に入力された後、プログラマブル分周器15に入力される。

【0023】I及びQベースバンド信号はLPF7及び

8で不要な信号成分が除去され、デジタル復調IC 9に入力され、AD変換器10及び11でデジタル変換される。AD変換器10及び11のデジタル出力はデジタル復調器12で復調される。デジタル復調器12では、主にI及びQベースバンドの周波数ずれを検出して行われる。つまり、I及びQベースバンドは1クロック前のI及びQベースバンドに比較され、位相角が求められる。これにより、受信された信号の位相角が検出される。この位相誤差に応じて周波数信号が出力され、この周波数信号に応じてI及びQベースバンドに対して複素乗算が行われる。デジタル復調部12において、I及びQベースバンドのベクトルが補正され、補正によってデジタル復調が完了される。デジタル復調器12からのデジタル出力は誤り検出訂正器13で誤りが検出され、それに対する訂正が行われる。誤り検出訂正器13からトランスポートストリームとして出力される。

【0024】図1のバスインターフェース19は、プログラマブル分周器15及びリファレンス分周器16の分周データを入力するとともに、デジタル復調の各ブロックの特性を設定するためのデータを入力するように構成される。従来では、PLL-ICとデジタル復調ICとにバスインターフェースをそれぞれ構成したが、1つのバスインターフェースで共用することができる。

【0025】また、デジタル復調IC 9において、PLL部とデジタル復調部とのクロックを1つの発振器から得ることが可能である。デジタル復調IC 9はクロック発生回路を備え、クロック発生回路は基準クロックの周波数によらず、所望の周波数のクロックを得られる。このようなクロック発生回路はPLLを利用して構成され、本発明と同一の出願人により特願平11-83778にて出願されている。

【0026】図1においては、PLLのうちプリスケラ6を直交検波ICに集積化しているが、プリスケラ6に限らず他の高周波回路を集積化してもよい。

【0027】

【発明の効果】本発明に依れば、PLLを直交検波ICとデジタル復調ICとに分けて配置したので、ICの数を削減させることができ、ICを覆うシールドを小型化することができる。

【0028】また、IC内の各回路を合理化することができ、回路を簡略化することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態を示すブロック図である。

【図2】従来のICチップ構成を示す従来例である。

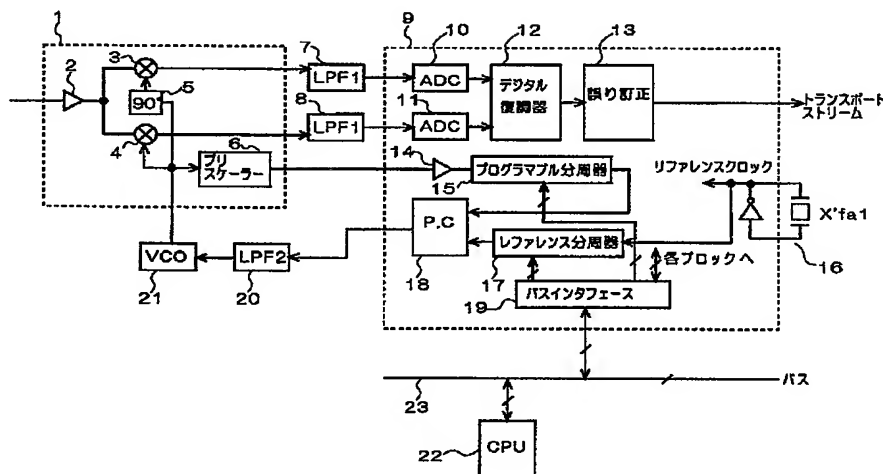
【図3】デジタルテレビジョン信号のデータ構成を示す図である。

【図4】衛星デジタル受信機の構成を示すブロック図である。

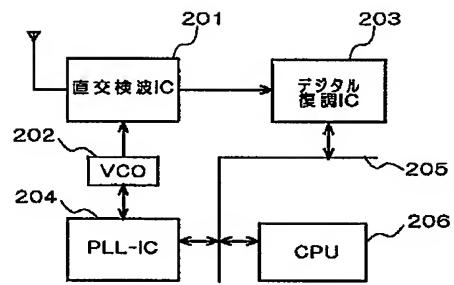
【符号の説明】

1	直交検波IC
6	プリスケラ
9	デジタル復調IC
12	デジタル復調器
13	誤り検出訂正器
14	増幅器
15	プログラマブル分周器
17	リファレンス分周器
18	位相比較器
19	バスインターフェース
20	LPF
21	VCO

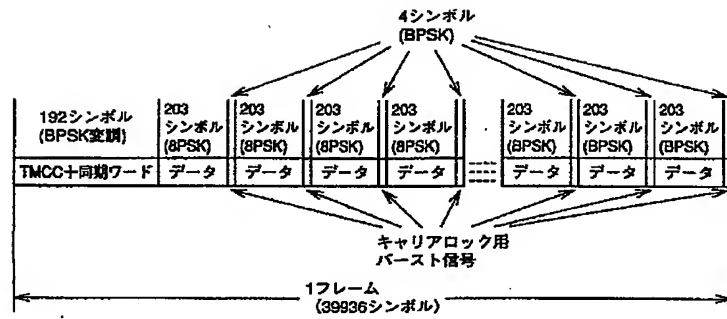
【図1】



【図2】



【図3】



【図4】

